

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-030047

(43)Date of publication of application : 28.01.2000

(51)Int.Cl. G06T 1/20
G06T 9/00
H04N 7/32
// H03M 7/40
H04N 1/41

(21)Application number : 10-200353

(71)Applicant : SONY CORP

(22)Date of filing : 15.07.1998

(72)Inventor : IWATA EIJI

(54) ENCODER, ITS METHOD, DECODER AND ITS METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To perform an MPEG encoding and decoding through the use of a parallel processing system at a high speed.

SOLUTION: First to third processors are instructed to perform macro block of each processing object and all the processings of encoding, variable length encoding and local decoding of the macro-block are executed by the processors. At this time, variable length encoding is executed after confirming the finish of variable length encoding to a former macro-block. Since variable length encoding processing successively processed by an optional specific processor can be executed by each processor and encoding processing and local decoding processing can also be executed by all the processors at a normal time, a load is distributed to improve the efficiency as a whole and to improve the processing speed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-30047

(P2000-30047A)

(43) 公開日 平成12年1月28日 (2000.1.28)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
G 0 6 T 1/20		G 0 6 F 15/66	K 5 B 0 5 7
9/00		H 0 3 M 7/40	5 C 0 5 9
H 0 4 N 7/32		H 0 4 N 1/41	B 5 C 0 7 8
// H 0 3 M 7/40		G 0 6 F 15/66	3 3 0 Z 5 J 0 6 4
H 0 4 N 1/41		H 0 4 N 7/137	Z
審査請求 未請求 請求項の数11 O L (全 18 頁)			

(21) 出願番号 特願平10-200353

(22) 出願日 平成10年7月15日 (1998.7.15)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 岩田 英次

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100094053

弁理士 佐藤 隆久

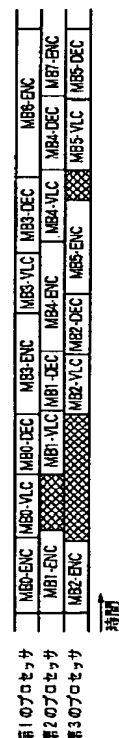
最終頁に続く

(54) 【発明の名称】 符号化装置とその方法および復号化装置とその方法

(57) 【要約】

【課題】 M P E G 符号化および復号化を、並列処理システムを用いて高速に行う。

【解決手段】 第1～第3のプロセッサに対して各々処理対象のマクロブロックを指示し、そのマクロブロックの符号化、可変長符号化、局所復号化の全ての処理を、そのプロセッサにおいて行う。この時、可変長符号化については、前のマクロブロックに対する可変長符号化が終了したことを確認してから行う。通常であれば、いずれか特定のプロセッサで逐次処理していた可変長符号化処理を、各プロセッサにおいて行うことができ、また符号化処理および局所復号化処理も、全てのプロセッサで行うことができるので、負荷が分散され、全体として効率が向上し、処理速度が速くなる。



【特許請求の範囲】

【請求項1】並行に動作可能な複数の信号処理装置を有し、複数の要素データを有する所定のデータを符号化する符号化装置であって、当該信号処理装置の各々は、前記所定のデータを分割して得られる所定の複数の部分データの各部分データごとに、所定の方式による符号化を行う符号化手段と、

同一の信号処理装置の前記符号化手段で符号化された前記部分データごとの符号化データを、前記複数の信号処理装置の各符号化手段において各々符号化された前記部分データごとの符号化データが、前記所定のデータ上の当該部分データの位置に基づいて順に可変長符号化されるように、可変長符号化する可変長符号化手段とを有する符号化装置。

【請求項2】前記所定のデータは、複数の画素データを有する画像データであって、前記複数の信号処理装置の各符号化手段は、前記画像データを分割して得られる所定の複数の画像ブロックの各画像ブロックごとに、前記符号化を行い、前記複数の信号処理装置の各可変長符号化手段は、前記複数の符号化手段において符号化された複数の前記画像ブロックごとの符号化データを、前記画像データ上の当該画像ブロックの配置に基づく所定の順番で可変長符号化する請求項1に記載の符号化装置。

【請求項3】前記複数の信号処理装置の各符号化手段は、前記画像データを分割して得られるマクロブロックごとに、必要に応じて、参照画像を参照して動き補償予測を行う動き補償予測手段と、前記動き補償予測の結果の画素データまたは元の画素データに対して、所定の変換処理を行う変換処理手段と、前記変換処理が行われた前記マクロブロックごとのデータを量子化する量子化手段と、前記量子化された前記マクロブロックごとのデータを復号化し、前記動き補償予測手段に供する参照画像を生成する局所復号化手段とを有する請求項2に記載の符号化装置。

【請求項4】前記各符号化手段の前記変換処理手段は、離散コサイン変換(DCT)、フーリエ変換、アダマール変換、K-L変換のいずれかを含む直交変換を含む処理を行う請求項3に記載の符号化装置。

【請求項5】複数の要素データを有する所定のデータを符号化する符号化方法であって、前記所定のデータを所定の複数の部分データに分割し、前記分割された複数の部分データを、複数の信号処理装置上に設けられた複数の符号化手段に順次振り分け、前記複数の符号化手段において、各々前記振り分けられた部分データを所定の方式に基づいて符号化し、前記複数の符号化手段において符号化された符号化データ各々を、前記所定のデータ上の当該部分データの位置

に基づく所定の順番で、当該符号化データが符号化された符号化手段と同一の前記信号処理装置上に設けられた可変長符号化手段において順次可変長符号化し、前記可変長符号化手段において前記可変長符号化が終了した前記信号処理装置の前記符号化手段に対して、新たな前記部分データを順次振り分ける符号化方法。

【請求項6】並行に動作可能な複数の信号処理装置を有し、複数の要素データを有する所定のデータが、所定の部分データごとに所定の方式により符号化され、さらに可変長符号化されて順に配置された符号化データを復号化する復号化装置であって、前記符号化データより、前記所定の部分データごとの符号化データを可変長復号化する可変長復号化手段であって、前記複数の信号処理装置の各可変長復号化手段において前記符号化データに順に配置されている前記部分データごとの符号化データが順に可変長復号化されるように、前記可変長復号化を行う可変長復号化手段と、同一の信号処理装置の前記可変長復号化手段において可変長復号化された前記部分データごとの符号化データを復号化する復号化手段とを有する復号化装置。

【請求項7】複数の画素データを有する画像データが、マクロブロックごとに符号化され、さらに可変長符号化された符号化画像データを復号化する装置であって、前記複数の信号処理装置の各可変長復号化手段は、同一の前記信号処理装置の前記復号化手段における前記復号化処理が終了するごとに、前記符号化画像データの次の復号化対象のマクロブロックの符号化データを可変長復号化し、前記複数の信号処理装置の各復号化手段は、前記可変長復号化手段において可変長復号化された前記マクロブロックごとの符号化データを復号化する請求項6に記載の復号化装置。

【請求項8】前記符号化画像データに順に配置されている前記マクロブロックごとの符号化データを、前記複数の信号処理装置の前記可変長復号化手段に順に振り分ける振り分け手段をさらに有し、前記複数の信号処理装置の各可変長復号化手段は、前記符号化画像データ中において、前記振り分けられたマクロブロックの前に配置されているマクロブロックに対する前記可変長復号化処理が終了した後に、当該振り分けられたマクロブロックに対する前記可変長復号化処理を行う請求項7に記載の復号化装置。

【請求項9】前記複数の信号処理装置の各復号化手段は、前記符号化データを可変長復号化して得られるマクロブロックごとのデータを逆量子化する逆量子化手段と、前記逆量子化されたデータに対して、所定の変換処理の逆変換処理を行う逆変換処理手段と、前記逆変換処理が行われた前記マクロブロックごとのデータに基づいて、必要に応じて、参照画像を参照して元

の画素データを生成する画素データ生成手段と、前記逆変換処理が行われた前記マクロブロックごとのデータ、または、前記必要に応じて生成されたデータに基づいて、動き補償処理を行い、前記参照画像を生成する動き補償処理手段とを有する請求項8に記載の復号化装置。

【請求項10】前記複数の復号化手段各々の前記逆変換処理手段は、離散コサイン変換(DCT)、フーリエ変換、アダマール変換、K-L変換のいずれかを含む直交変換符号化の逆変換処理を行う請求項9記載の復号化装置。

【請求項11】複数の画素データを有する画像データが、マクロブロックごとに符号化され、さらに可変長符号化された符号化画像データを復号化する方法であって、前記符号化画像データ中に順に配置されている前記マクロブロックごとの符号化データを、複数の信号処理装置に、処理対象の符号化データとして順に振り分け、前記複数の信号処理装置の各々に設けられた可変長復号化手段は、各々、前記振り分けられた処理対象のマクロブロックより、前記符号化画像データ中で前に配置されているマクロブロックに対する可変長符号化処理が終了した後、当該振り分けられたマクロブロックの前記符号化データの可変長復号化処理を行い、前記複数の信号処理装置の各々に設けられている復号化手段において、各々、同一の信号処理装置上の前記可変長復号化手段において可変長復号化された前記マクロブロックごとの符号化データを復号化し、前記復号化手段における復号化処理が終了した前記信号処理装置に対して、次の復号化対象の新たなマクロブロックの符号化データを振り分ける復号化方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、たとえばMPEG(Moving Picture coding Experts Group)による高品質動画符号化方式)のような、ビデオデータやオーディオデータなどのデータを、可変長データからなるビットストリームに変換する符号化方式およびその復号化方式に関し、特に、並列処理によりその符号化および復号化を高速に行う符号化装置とその方法および復号化装置とその方法に関する。

【0002】

【従来の技術】現在、広く用いられている画像の標準的符号化および復号化方式である、MPEG方式(MPEG1およびMPEG2)について説明する。図14は、MPEGにおける、画像データの構造を示す図である。図14に示すように、MPEGの画像データは階層構造に構成されている。各階層は、上位から順に、ビデオ・シーケンス(以降、単にシーケンスと言う)、グループ・オブ・ピクチャ(GOP)、ピクチャ、スライス、マ

クロブロック、ブロックとなっている。MPEG符号化では、画像データはこの階層構造に基づいて順次符号化され、ビットストリームに変換される。

【0003】図15に、MPEG符号化されたデータのビットストリームの構造を示す。図15のビットストリームでは、各ピクチャはj個のスライスからなり、各スライスはi個のマクロブロックからなる。また、図14に示した階層のうちブロック以外は符号化モードなどが格納されたヘッダを持つ。したがって、ビットストリームの構成をビデオ・シーケンスの先頭から列挙すると、シーケンス・ヘッダ(SEQH)151、GOP・ヘッダ(GOPH)152、ピクチャ・ヘッダ(PH)153、スライス・ヘッダ(SH)154、マクロブロック・ヘッダ(MH)155、マクロブロック0の圧縮データ(MB0)156、マクロブロック・ヘッダ(MH)157、マクロブロック1の圧縮データ(MB1)158・・・となる。なお、ビットストリームに含まれるマクロブロックの圧縮データのサイズは可変長であり、画像の性質などによって変動する。また、MPEG復号化では、このビットストリームが順次復号化され、図14の階層構造に基づいて画像が再構成される。

【0004】次に、MPEGによる符号化処理および復号化処理を行うための、処理装置の構成、処理アルゴリズムおよび処理の流れについて具体的に説明する。まず、符号化処理について説明する。図16は、MPEG符号化を行うための一般的な処理装置の構成を示すブロック図である。図16に示す符号化装置160は、動きベクトル検出部(ME)161、減算器162、離散コサイン変換部(FDCT)163、量子化部164、可変長符号化部(VLC)165、逆量子化部(IQ)166、逆離散コサイン変換部(IDCT)167、加算器168、動き補償部(MC)169およびエンコード制御部170を有する。

【0005】このような構成の符号化装置160においては、入力された画像データの符号化モードがP(Predictive coded)ピクチャまたはB(Bidirectionally predictive coded)ピクチャの場合には、動きベクトル検出部161でマクロブロック単位に動き補償予測が行われ、減算器162で予測誤差が検出され、その予測誤差に対して、離散コサイン変換部163でDCTを行ってDCT係数が求められる。また、符号化モードがI(Intra coded)ピクチャの場合には、画素値がそのまま離散コサイン変換部163に入力されてDCTが行われ、DCT係数が求められる。

【0006】求められたDCT係数が、量子化部164で量子化され、可変長符号化部165で動きベクトルや符号化モード情報とともに可変長符号化されることにより、符号化ビットストリームが生成される。また、量子化部164で生成された量子化データは、逆量子化部166で逆量子化され、逆離散コサイン変換部167でI

DCTされて元の予測誤差に復元され、加算器168で参照画像に加算され、動き補償部169において参照画像が生成される。なお、エンコード制御部170は、これら符号化装置160の各部の動作を制御する。

【0007】このような符号化処理は、一般に、動きベクトル検出部161における動きベクトル検出処理から量子化部164における量子化処理までの符号化処理、ビットストリームを生成する可変長符号化部165、および、逆量子化部166における逆量子化処理から動き補償部169における動き補償処理までの局所復号化処理の、3つの処理部に大別される。

【0008】次に、このような符号化処理を行い、図15に示したような構造の符号化ビットストリームを生成するための処理の流れについて、図17を参照して説明する。図17は、MPEG符号化を行ってビットストリームを生成する処理の流れを示すフローチャートである。符号化処理を開始したら（ステップS180）、シーケンス・ヘッダを生成し（ステップS181）、GOP・ヘッダを生成し（ステップS182）、ピクチャ・ヘッダを生成し（ステップS183）、スライス・ヘッダを生成する（ステップS184）。

【0009】各階層のヘッダの生成が終了したら、マクロブロック符号化を行い（ステップS185）、マクロブロック可変長符号化を行い（ステップS186）、マクロブロック局所符号化を行う（ステップS187）。そして、スライス内の全てのマクロブロックについて符号化処理が終了したら、次のスライスの処理に移る（ステップS188）。以下同様に、1つのピクチャの全ての処理が終了したら、次のピクチャの処理に移り（ステップS189）、1GOPの全ての処理が終了したら、次のGOPの処理に移る（ステップS190）。そして、これらの処理を、シーケンスが終了するまで繰り返したら（ステップS181）、処理を終了する（ステップS192）。

【0010】また、このような符号化処理を、たとえばDSP（デジタル・シグナル・プロセッサ）などの演算処理装置により逐次処理する場合の、タイムチャートを図18に示す。図18に示すように、演算処理装置においては、図16に示したフローチャートの各処理を、各マクロブロックごとに順に行うことになる。なお、図18において、処理MB x -ENCは、第 $(x+1)$ 番目のマクロブロック x のデータに対する符号化処理を示し、処理MB x -VLCは、第 $(x+1)$ 番目のマクロブロック x のデータに対する可変長符号化処理を示し、処理MB x -DECは、第 $(x+1)$ 番目のマクロブロック x のデータに対する局所符号化処理を示す。

【0011】次に、復号化処理について説明する。図19は、MPEG復号化を行うための一般的な処理装置の構成を示すブロック図である。図19に示す復号化装置200は、可変長復号化部（VLD）201、逆量子化

部（IQ）202、逆離散コサイン変換部（IDCT）203、加算器204、動き補償部（MC）205およびデコード制御部206を有する。

【0012】このような構成の復号化装置200においては、入力された符号化データのビットストリームは、可変長復号化部201で復号化され、マクロブロックごとの符号化モード、動きベクトル、量子化情報および量子化DCT係数が分離される。復号化された量子化DCT係数は、逆量子化部202で逆量子化されてDCT係数に復元され、逆離散コサイン変換部203によりIDCTされて画素空間データに変換される。

【0013】そして、そのブロックが動き補償予測モードの場合には、加算器204で動き補償予測されたブロックデータが加算されて元のデータが復元され出力される。また、動き補償部205では、復号された画像に基づいて、動き補償予測を行い、加算器204において加算されるデータを生成しておく。なお、第1の可変長復号化部（VLD）206は、これら復号化装置200の各部の動作を制御する。

【0014】なお、このような復号化処理は、一般に、ビットストリームを解読する可変長復号化部201における可変長復号化処理と、逆量子化部202における逆量子化から動き補償部205における動き補償処理までの復号化処理の、2つの処理部に大別される。

【0015】次に、このような符号化処理を行い、図15に示したような構造の符号化ビットストリームを復号するための処理の流れについて、図20を参照して説明する。図20は、MPEG復号化を行って元の画像データを生成する処理の流れを示すフローチャートである。復号化処理を開始したら（ステップS210）、シーケンス・ヘッダを復号化し（ステップS211）、GOP・ヘッダを復号化し（ステップS212）、ピクチャ・ヘッダを復号化し（ステップS213）、スライス・ヘッダを復号化する（ステップS214）。

【0016】各階層のヘッダの復号化が終了したら、マクロブロック可変長復号化を行い（ステップS215）、マクロブロックの復号化処理を行う（ステップS216）。そして、スライス内の全てのマクロブロックについて復号化処理が終了したら、次のスライスの処理に移る（ステップS217）。以下同様に、1ピクチャの全ての処理が終了したら、次のピクチャの処理に移り（ステップS218）、1GOPの全ての処理が終了したら、次のGOPの処理に移る（ステップS219）。そして、これらの処理を、シーケンスが終了するまで繰り返したら（ステップS220）、処理を終了する（ステップS221）。

【0017】また、このような復号化処理を、たとえばDSP（デジタル・シグナル・プロセッサ）などの演算処理装置により逐次処理する場合の、タイムチャートを図21に示す。図21に示すように、演算処理装置にお

いては、図20に示したフローチャートの各処理を、各スライスごとに、また、各スライス内では各マクロブロックごとに順に行うことになる。なお、図18において、処理SH-VLDは、スライス・ヘッダ復号化処理を示し、MBx-VLDは、第(x+1)番目のマクロブロックxの符号化データに対する可変長復号化処理を示し、処理MBx-DECは、第(x+1)番目のマクロブロックxの符号化データに対する復号化処理を示す。

【0018】

【発明が解決しようとする課題】ところで、このような画像などのデータの符号化および復号化を、複数の演算処理装置を有する並列処理装置により効率よく高速に行いたいという要望がある。しかしながら、これまでの並列処理装置および並列処理方法では、種々の問題があり十分に効率よく高速な処理が行えなかった。具体的には、まず、前述した符号化処理および復号化処理を並列処理により効率よく行おうとした場合、どの工程をどのように複数の演算処理装置に振り分ければよいか、決定するのが難しいという問題がある。

【0019】また、このような符号化処理および復号化処理においては、可変長データを処理対象としているため、この可変長符号化処理および可変長復号化処理についてはデータ処理の順番として逐次処理を行わざるを得ない。そのため、この逐次処理部分の実行時に並列処理が中断されたり、また、この逐次処理部分がネックとなって処理速度が制限されたりする場合がある。また、各演算処理装置における処理の実行時間が等しければ負荷が均等になり効率よい処理が行えるが、各工程の処理時間は異なるために、各演算処理装置の負荷は不均等になり、効率よい処理が行えないという問題も生じる。

【0020】また、このような並列処理方法では、たとえば前述した画像データの場合には1つのビデオセグメントであるような、1つのデータに対する処理を複数の演算処理装置で分割して行っているため、データの授受に伴う同期や通信の制御を行う必要があり、装置の構成や制御方法などが複雑になるという問題もある。さらに、各演算処理装置で行う処理が異なるため、個々の演算処理装置に対して処理プログラムを用意し、また、個々の演算処理装置に対して別個に処理の制御を行わなければならない、一層装置の構成や制御方法などが複雑になるという問題もある。

【0021】したがって、本発明の目的は、複数の演算処理装置を有し、たとえば画像データなどの符号化処理および復号化処理を高速に行うことができ、構成が簡単な、符号化装置および復号化装置を提供することにある。また、本発明の他の目的は、任意の構成の並列処理装置に適用可能であり、たとえば画像データなどの符号化処理および復号化処理を高速に行うことができる符号化方法および復号化方法を提供することにある。

【0022】

【課題を解決するための手段】したがって、本発明の符号化装置は、複数の要素データを有する所定のデータを符号化する符号化装置であって、前記所定のデータを分割して得られる所定の複数の部分データごとに、所定の方式による符号化を行う複数の符号化手段であって、各々並行して前記符号化を行う複数の前記符号化手段と、前記複数の符号化手段に対応して設けられ、対応する前記符号化手段において符号化された前記部分データごとの符号化データを可変長符号化する複数の可変長符号化手段であって、前記所定のデータ上の当該部分データの位置に基づく所定の順番で、前記複数の符号化手段において符号化された複数の前記部分データごとの符号化データを順に可変長符号化する複数の可変長符号化手段とを有する。

【0023】また、本発明の符号化方法は、複数の要素データを有する所定のデータを符号化する符号化方法であって、前記所定のデータを所定の複数の部分データに分割し、前記分割された複数の部分データを、複数の信号処理装置上に設けられた複数の符号化手段に順次振り分け、前記複数の符号化手段において、各々前記振り分けられた部分データを所定の方式に基づいて符号化し、前記複数の符号化手段において符号化された符号化データ各々を、前記所定のデータ上の当該部分データの位置に基づく所定の順番で、当該符号化データが符号化された符号化手段と同一の前記信号処理装置上に設けられた可変長符号化手段において順次可変長符号化し、前記可変長符号化手段において前記可変長符号化が終了した前記信号処理装置の前記符号化手段に対して、順次前記部分データを振り分ける。

【0024】また、本発明の復号化装置は、複数の要素データを有する所定のデータが、所定の部分データごとに所定の方式により符号化され、さらに可変長符号化されて順に配置された符号化データを復号化する復号化装置であって、前記符号化データより、前記可変長符号化された前記所定の部分データごとの符号化データを、順に可変長復号化する複数の可変長復号化手段と、前記複数の可変長復号化手段に対応して設けられ、対応する前記可変長復号化手段において可変長復号化された前記部分データごとの符号化データを復号化する複数の復号化手段であって、各々並行して前記復号化を行う複数の前記復号化手段とを有し、前記可変長復号化手段は、当該可変長復号化手段に対応して設けられている前記復号化手段における復号化処理が終了するごとに、前記符号化データより次の前記部分データの符号化データを可変長復号化する。

【0025】また、本発明の復号化方法は、複数の画素データを有する画像データが、マクロブロックごとに符号化され、さらに可変長符号化された符号化画像データを復号化する装置であって、前記複数の可変長復号化手

段の各々は、当該可変長復号化手段に対応して設けられている前記復号化手段における前記復号化処理が終了することにより、前記符号化画像データの次の復号化対象のマクロブロックの符号化データを可変長復号化し、前記復号化手段の各々は、対応する前記可変長復号化手段において可変長復号化された前記マクロブロックごとの符号化データを復号化する。

【0026】

【発明の実施の形態】本発明の実施の形態について、図1～図13を参照して説明する。本実施の形態においては、複数のプロセッサにより並列処理を行い、MPEG2により動画の符号化および復号化を行う、画像符号化／復号化装置を例示して本発明を説明する。

【0027】なお、MPEG符号化および復号化の並列処理を行う際の処理単位としては、図14に示した各階層のいずれか、あるいは画素が考えられるが、本実施の形態においては、マクロブロックを並列処理単位として選択した場合について説明する。マクロブロックを並列処理単位とした場合、1スライス内においては符号化処理、局所復号化処理および復号化処理は並列実行できるが、可変長符号化処理および可変長復号化処理については逐次実行する必要がある。これは、可変長符号化処理および可変長復号化処理ではマクロブロックの圧縮データが可変長であり、ビットストリーム上におけるマクロブロックの圧縮データの先頭位置が、直前のマクロブロックの可変長符号化処理または可変長復号化処理が完了するまで決定しないためである。なお、この制約は、スライスを並列処理単位にした場合も同様である。

【0028】第1の画像符号化／復号化装置

まず、並列処理により前述したような画像の符号化および復号化を行う、これまでの画像符号化／復号化装置について説明する。図1は、その画像符号化／復号化装置の並列処理部の構成を示す概略ブロック図である。図1に示すように、画像符号化／復号化装置の並列処理部9は、 n 個のプロセッサ $2_{-1} \sim 2_{-n}$ 、メモリ3および結合網4を有する。

【0029】まず、この並列処理部9の構成について説明する。 n 個のプロセッサ $2_{-1} \sim 2_{-n}$ は、各々独立して所定の演算処理を行うプロセッサである。各プロセッサ 2_{-i} ($i=1 \sim n$)は、実行する演算処理プログラムが格納されるプログラムROMまたはプログラムRAM、演算に係わるデータなどを記憶するRAMを有している。そして、プロセッサ 2_{-i} は、このプログラムROMまたはプログラムRAMに予め記憶されているプログラムに従って所定の動作を行う。

【0030】なお、本実施の形態においては $n=3$ 、すなわち、並列処理部9は3つの n 個のプロセッサ $2_{-1} \sim 2_{-3}$ を有するものとする。また、以下の説明では、各プロセッサ $2_{-1} \sim 2_{-n}$ について、画像データの符号化および復号化に関する処理についてのみ述べるが、これと並

行して、いずれか1つのプロセッサ 2_{-i} ($i=1 \sim n$)において、あるいは、 n 個のプロセッサ $2_{-1} \sim 2_{-n}$ 各々において、並列処理部9全体の動作を制御するための処理も行われる。そして、この制御動作により、各プロセッサ $2_{-1} \sim 2_{-n}$ が協働して、また同期して、以下に説明するような動作をするものである。

【0031】メモリ3は、 n 個のプロセッサ $2_{-1} \sim 2_{-n}$ の共有メモリである。メモリ3には、処理対象の画像データや処理結果のデータが記憶され、 n 個のプロセッサ $2_{-1} \sim 2_{-n}$ により適宜データの読み出しおよび書き込みが行われる。結合網4は、 n 個のプロセッサ $2_{-1} \sim 2_{-n}$ が協働して動作するように、また、 n 個のプロセッサ $2_{-1} \sim 2_{-n}$ がメモリ3を適宜参照するように、 n 個のプロセッサ $2_{-1} \sim 2_{-n}$ およびメモリ3を相互に接続する接続部である。

【0032】次に、このような構成の並列処理部9において、前述したような動画の符号化処理を行う場合の、各プロセッサ 2_{-i} ($i=1 \sim 3$)における処理、および、並列処理部9の動作について説明する。まず、各プロセッサ 2_{-i} における処理について説明する。並列処理部9においては、各マクロブロックの可変長符号化処理を1つのプロセッサ（以降、このプロセッサを親プロセッサと言う。）に固定して割り当てて逐次実行させ、符号化処理および局所復号化処理をその他のプロセッサ（以降、このプロセッサを子プロセッサと言う。）に割り当てて、並列実行を行う。図1に示す並列処理部9においては、第1のプロセッサ 2_{-1} を親プロセッサ、第2および第3のプロセッサ 2_{-2} 、 2_{-3} を子プロセッサとする。

【0033】まず、親プロセッサである第1のプロセッサ 2_{-1} は、図2のフローチャートに示すような処理を行う。すなわち、符号化処理を開始したら（ステップS10）、シーケンス・ヘッダを生成し（ステップS11）、GOP・ヘッダを生成し（ステップS12）、ピクチャ・ヘッダを生成し（ステップS13）、スライス・ヘッダを生成する（ステップS14）。スライス・ヘッダの生成が終了したら、親プロセッサは子プロセッサを起動し（ステップS15）、子プロセッサにおける符号化処理の終了待ち状態に入る（ステップS16）。

【0034】子プロセッサにおけるマクロブロックの符号化処理が終了したら（ステップS16）、そのマクロブロックの可変長符号化処理を始める（ステップS17）。なお、この可変長符号化処理は、前述したような制約により逐次実行しなくてはならない。したがって、たとえマクロブロック1の符号化処理の方がマクロブロック0の符号化処理よりも先に終了したとしても、プロセッサ0は必ずマクロブロック0の可変長符号化処理を先に行う。

【0035】親プロセッサは、スライス内の全ての処理が終了するまで、この手順を繰り返し（ステップS1

8)、スライス内の全ての処理が終了したら、子プロセッサにおける全ての処理が終了するまで待つ(ステップS19)。以下同様に、1ピクチャの全ての処理が終了したら、次のピクチャの処理に移り(ステップS20)、1GOPの全てのピクチャの処理が終了したら、次のGOPの処理に移る(ステップS21)。そして、これらの処理を、シーケンスが終了するまで繰り返したら(ステップS22)、処理を終了する(ステップS23)。

【0036】次に、子プロセッサである第2および第3のプロセッサ2₂、2₃は、図3のフローチャートに示すような処理を行う。すなわち、親プロセッサにおけるステップS15の処理で起動され符号化処理を開始したら(ステップS30)、まず、処理すべきマクロブロックの番号を取得し(ステップS31)、そのマクロブロックの符号化処理を行う(ステップS32)。符号化処理が終了したら、親プロセッサにおける可変長符号化処理の終了を待ち(ステップS33)、可変長符号化処理が終了したら、局所復号化処理を行う(ステップS34)。スライス内の全ての処理が終了するまで、この手順を繰り返し(ステップS35)、スライス内の全ての処理が終了したら(ステップS35)、子プロセッサの処理は終了する(ステップS36)。

【0037】なお、これらの親プロセッサおよび子プロセッサの各処理を行うプログラムは、各プロセッサ2_jに対して設けられたプログラムROMまたはプログラムRAMに予め記憶しておく。そして、このプログラムに従って各プロセッサ2_jが動作することにより、実際にこれらの処理が行われる。

【0038】次に、動画像の符号化処理を行う場合の、並列処理部9の動作について、図4を参照して説明する。図4は、3個のプロセッサ2₁~2₃における符号化処理の状態を示すタイムチャートである。なお、図4において、処理MBx-ENCは、第(x+1)のマクロブロックxに対する符号化処理(図3におけるステップS32)を示し、処理MBx-DECは、第(x+1)のビデオセグメントxに対する局所復号化処理(図3におけるステップS34)を示し、処理MBx-VLCは、第(x+1)のビデオセグメントxに対する可変長符号化処理(図2における、ステップS17)を示す。

【0039】図4に示すように、符号化処理を開始したら、まず、第2のプロセッサ2₂および第3のプロセッサ2₃においてマクロブロック0およびマクロブロック1の符号化処理MB0-ENC、MB1-ENCが行われる。第2のプロセッサ2₂におけるマクロブロック0の符号化処理MB0-ENCが終了したら、その符号化されたデータに対して第1のプロセッサ2₁において可変長符号化処理MB0-VLCが行われる。第1のプロセッサ2₁でマクロブロック0の可変長符号化処理MB

0-VLCを行っている間に、第3のプロセッサ2₃におけるマクロブロック1の符号化処理MB1-ENCは終了するので、第1のプロセッサ2₁は、引き続きマクロブロック1の符号化データに対する可変長符号化処理MB1-VLCを行う。

【0040】一方、第2のプロセッサ2₂においては、第1のプロセッサ2₁においてマクロブロック0に対する可変長符号化処理MB0-VLCが終了したら、そのデータに対する局所復号化処理MB0-DECを行う。そして、この局所復号化処理MB0-DECが終了したら、次のマクロブロック2に対する符号化処理MB2-ENCを行う。第3のプロセッサ2₃においても、同様に、第1のプロセッサ2₁においてマクロブロック1に対する可変長符号化処理MB1-VLCが終了したら、そのデータに対する局所復号化処理MB0-DECを行う。そして、この局所復号化処理MB0-DECが終了したら、次のマクロブロック3に対する符号化処理MB3-ENCを行う。

【0041】以下、同様に、第1のプロセッサ2₁においては、第2のプロセッサ2₂または第3のプロセッサ2₃において、次に処理すべきマクロブロックの符号化処理MBx-ENCが終了したら、その符号化されたデータの復号化処理MBx-VLCを順に行う。また、第2のプロセッサ2₂および第3のプロセッサ2₃においては、第1のプロセッサ2₁において可変長符号化処理MBx-VLCが終了したら、そのマクロブロックに対する局所符号化処理MBx-DECを行い、その処理終了後、引き続き、次のマクロブロックx+1に対する符号化処理MBx-ENCを行う。

【0042】なお、可変長符号化処理は、テーブル変換により固定長データから可変長データを生成するフェーズと可変長データをまとめてビットストリームを生成するフェーズとに分けることができる。この2つのフェーズとも逐次実行してもよいし、後半フェーズだけ逐次実行して前半フェーズは並列実行しても構わない。ただし、後者の方式では前半フェーズと後半フェーズ間にバッファメモリが必要となる。

【0043】次に、並列処理部9において、前述したような動画像の復号化処理を行う場合の、各プロセッサ2_j(j=1~3)における処理、および、並列処理部9の動作について説明する。まず、各プロセッサ2_jにおける処理について説明する。並列処理部9においては、各マクロブロックの可変長復号化処理を1つのプロセッサ(以降、このプロセッサを親プロセッサと言う。)に固定して割り当てて逐次実行させ、復号化処理をその他のプロセッサ(以降、このプロセッサを子プロセッサと言う。)に割り当てて、並列実行を行う。図1に示す並列処理部9においては、第1のプロセッサ2₁を親プロセッサ、第2および第3のプロセッサ2₂、2₃を子プロセッサとする。

【0044】まず、親プロセッサである第1のプロセッサ2₋₁は、図5のフローチャートに示すような処理を行う。すなわち、復号化処理を開始したら（ステップS40）、シーケンス・ヘッダを復号化し（ステップS41）、GOP・ヘッダを復号化し（ステップS42）、ピクチャ・ヘッダを復号化し（ステップS43）、スライス・ヘッダを復号化する（ステップS44）。スライス・ヘッダの復号化が終了したら、親プロセッサは子プロセッサを起動し（ステップS45）、マクロブロックに対して可変長復号化処理を行う（ステップS46）。親プロセッサは、スライス内の全てのマクロブロックに対してこの処理が終了するまで、この可変長復号化処理（ステップS46）を繰り返し行う。

【0045】スライス内の全てのマクロブロックに対する可変長復号化処理が終了したら、子プロセッサにおける全ての処理が終了するまで待ち（ステップS48）、子プロセッサにおける処理が終了したら（ステップS48）、次のピクチャに対する処理に移る（ステップS49）。1GOPの全てのピクチャの処理が終了したら（ステップS49）、次のGOPの処理に移り（ステップS50）、全てのGOPの処理が終了したら（ステップS50）、次のシーケンスの処理に移る（ステップS51）。そして、これらの処理を、全てのシーケンスが終了するまで繰り返したら（ステップS51）、処理を終了する（ステップS52）。

【0046】次に、子プロセッサである第2および第3のプロセッサ2₋₂、2₋₃は、図6のフローチャートに示すような処理を行う。すなわち、親プロセッサにおけるステップS45の処理で起動され復号化処理を開始したら（ステップS60）、まず、処理すべきマクロブロックの番号を取得し（ステップS61）、親プロセッサのステップS46における当該マクロブロックの可変長復号化処理の終了を待つ（ステップS62）。そして、可変長復号化処理が終了したら、そのデータを用いてマクロブロックの復号化処理を行う（ステップS63）。そして、スライス内の全てのマクロブロックの処理が終了するまで、この手順を繰り返し（ステップS64）、スライス内の全ての処理が終了したら（ステップS64）、子プロセッサの処理は終了する（ステップS65）。

【0047】なお、これらの親プロセッサおよび子プロセッサの各処理を行うプログラムは、各プロセッサ2_{-j}に対して設けられたプログラムROMまたはプログラムRAMに予め記憶しておく。そして、このプログラムに従って各プロセッサ2_{-j}が動作することにより、実際にこれらの処理が行われる。また、可変長復号化処理でスライスを並列処理単位とした場合、可変長復号化処理をすることなしに、ビットストリーム上の次のスライスの先頭を見つけることができる。これは、スライスの先頭に置かれるスライス・スタートコードをスキャンして探

すことにより可能になる。したがって、このスキャン処理のみを逐次的に行い、可変長復号化処理を含めた他の処理を並列に行う処理方法も可能である。

【0048】次に、動画像の復号化処理を行う場合の、並列処理部9の動作について、図7を参照して説明する。図7は、3個のプロセッサ2₋₁～2₋₃における復号化処理の状態を示すタイムチャートである。なお、図7において、処理MB_x-VLDは、第(x+1)のマクロブロックxに対する可変長復号化処理（図5におけるステップS46）を示し、処理MB_x-DECは、第(x+1)のビデオセグメントxに対する復号化処理（図6におけるステップS63）を示す。

【0049】図7に示すように、復号化処理を開始したら、第1のプロセッサ2₋₁においては、マクロブロック0より、順次可変長復号化処理を行う。第2のプロセッサ2₋₂においては、第1のプロセッサ2₋₁において、マクロブロック0の可変長復号化処理が終了したら、このデータに対して復号化処理MB0-DECを行う。また、第3のプロセッサ2₋₃においては、その次のマクロブロック1の可変長復号化処理が第1のプロセッサ2₋₁において終了したら、このデータに対して愚痴下処理MB1-DECを行う。以後、第2のプロセッサ2₋₂または第3のプロセッサ2₋₃の、復号化処理の終了した方のプロセッサが、第1のプロセッサ2₋₁で可変長復号化された次のマクロブロックのデータを取り込んで、符号化処理を行う。

【0050】このように、第1の画像符号化／復号化装置においては、符号化処理および復号化処理の処理工程を、各々、並列処理が可能な工程と、並列処理が不可能で逐次処理が必要な可変長符号化／復号化に係わる工程に分割し、逐次処理が必要な工程は親プロセッサに振り分け、並列処理が可能な工程は子プロセッサに振り分け、符号化処理および復号化処理を行うようにしている。したがって、順次入力されるデータは、これら3個のプロセッサ2₋₁～2₋₃で順次処理され、所望の圧縮符号化データへ、または、復元された画像データへ変換される。そして、このように、並列処理により画像の符号化処理および復号化処理を行うことにより、通常の、1つのプロセッサにより処理を行う場合に比べて高速に処理を行うことができる。

【0051】第2の画像符号化／復号化装置

しかしながら、第1の画像符号化／復号化装置においては、逐次処理部分（可変長符号化処理および可変長復号化処理）を、特定のプロセッサ（第1のプロセッサ2₋₁）に固定して割り当てて逐次実行させていたため、3個のプロセッサ2₋₁～2₋₃間で負荷が不均等になるという問題を見出した。このような場合、逐次処理部分と並列処理部分の実行時間の比が、逐次処理部分を実行するプロセッサと並列処理部分を実行するプロセッサ台数の比に比例していれば負荷は均等になるが、そうでな

ければ各プロセッサの負荷が不均等になり、性能低下を引き起こす。

【0052】たとえば、図4に示したMPEG符号化の並列処理においては、可変長符号化処理の負荷が比較的軽い場合、特に第1のプロセッサ2₋₁に遊びが頻繁に生じている。これはプロセッサ台数が2台の並列計算機システムでは、さらに顕著になる。また、図7に示したMPEG復号化の並列処理においても、可変長復号化処理の負荷が比較的軽い場合、第1のプロセッサ2₋₁は1スライス分の可変長復号化処理が終了した時点で、第2のプロセッサ2₋₂および第3のプロセッサ2₋₃における全ての復号化処理が終了するまでの間、遊ぶことになる。

【0053】さらに、第1の画像符号化／復号化装置においては、各プロセッサで実行する処理が異なるため、各プロセッサを別々に制御したり、同期をとってデータの授受や通信を行う必要があり、制御が複雑化するという問題も生じている。

【0054】そこで、そのような問題を解決し、より一層高速に画像の符号化処理および復号化処理が行え、さらに構成や制御方法なども簡単にすることのできる、本発明に係わる画像符号化／復号化装置について、第2の画像符号化／復号化装置として説明する。

【0055】第2の画像符号化／復号化装置のハードウェア構成は、前述した第1の画像符号化／復号化装置と同一である。すなわち、その並列処理部1は、図1に示したような構成であり、 n 個のプロセッサ2₋₁～2_{- n} 、メモリ3および結合網4を有する。なお、これらの各構成部は、各々ハードウェア構成が第1の画像符号化／復号化装置の並列処理部9の場合と同一なので、同一の符号を用いて説明する。また、 n 個のプロセッサ2₋₁～2_{- n} ～結合網4の機能および構成も、前述した第1の画像符号化／復号化装置の並列処理部9の場合と同じなのでその説明を省略する。また、第2の画像符号化／復号化装置の並列処理部1の場合も、プロセッサ2の個数 n は3である。

【0056】このような第1の画像符号化／復号化装置の並列処理部9と同じハードウェア構成の第2の画像符号化／復号化装置の並列処理部1であるが、動画の符号化処理および復号化処理の処理方法および各プロセッサ2_{- i} ($i=1\sim3$)の動作などは、第1の画像符号化／復号化装置と異なる。すなわち、3個のプロセッサ2₋₁～2₋₃に対して設けられているプログラムROMまたはプログラムRAMに記憶されるプログラムが第1の画像符号化／復号化装置の場合とは異なり、これにより第2の画像符号化／復号化装置の並列処理部1は全体として第1の画像符号化／復号化装置の並列処理部9とは異なる処理を行う。

【0057】そして、第2の画像符号化／復号化装置においては、前記課題を解決するために、並列処理部分のみならず逐次処理部分も各プロセッサに分担して実行さ

せるようにしている。符号化に関して、第2の画像符号化／復号化装置の並列処理部1においては、各マクロブロックの可変長符号化処理を各プロセッサが分担して逐次的に行う。したがって、各プロセッサは、担当するマクロブロックについて、符号化処理、可変長符号化処理、局所復号化処理の全てを行う。この際、あるマクロブロックの可変長符号化処理を始める時点で、前のマクロブロックの可変長符号化処理が終了していない場合に限り、その可変長符号化処理の終了を待つ。また、復号化に関して、第2の画像符号化／復号化装置の並列処理部1においては、各マクロブロックの可変長復号化処理をも各プロセッサが分担して逐次的に行う。したがって、各プロセッサは、担当するマクロブロックについて、可変長復号化処理、復号化処理の両方を行う。この際、あるマクロブロックの可変長復号化処理が終了していない場合に限り、その可変長復号化処理の終了を待つ。

【0058】以下、第2の画像符号化／復号化装置の並列処理部1において、動画の符号化処理および復号化処理を行う場合の各プロセッサ2_{- i} ($i=1\sim3$)における処理、および、並列処理部1の動作について説明する。

【0059】まず、符号化処理を行う場合の、各プロセッサ2_{- i} における処理について説明する。第2の画像符号化／復号化装置の並列処理部1においては、前述した第1の画像符号化／復号化装置と同様に、1つの親プロセッサとその他のプロセッサを予め決定し、各々で異なる所定の処理を行わせる。しかしながら、この親プロセッサと子プロセッサにおける処理の違いは、親プロセッサにおいてヘッダの生成と子プロセッサの起動を行う点のみであり、実際の符号化処理に係わる符号化処理、可変長符号化処理および局所復号化処理は、親プロセッサおよび子プロセッサの両方で同様の手順により行う。すなわち、親プロセッサと子プロセッサは、一応、異なる処理手順で処理を行うものの、符号化の際の主な処理部は同一の手順で行われるものである。

【0060】以下、各プロセッサの処理について説明する。まず、親プロセッサである第1のプロセッサ2₋₁は、図8のフローチャートに示すような処理を行う。すなわち、符号化処理を開始したら（ステップS70）、シーケンス・ヘッダを生成し（ステップS71）、GOP・ヘッダを生成し（ステップS72）、ピクチャ・ヘッダを生成し（ステップS73）、スライス・ヘッダを生成する（ステップS74）。そして、スライス・ヘッダの生成が終了したら、親プロセッサは子プロセッサを起動する（ステップS75）。

【0061】子プロセッサの起動が終了したら、親プロセッサは、子プロセッサと同様の符号化に係わる処理を行う。すなわち、まず、処理すべきマクロブロックの番号を取得し（ステップS76）、そのマクロブロックの

符号化処理を行う（ステップS 7 7）。次に、前のマクロブロックの可変長符号化処理が終了するのを確認して（ステップS 7 8）、可変長符号化処理を行い（ステップS 7 9）、さらに、局所復号化処理を行う（ステップS 8 0）。

【0062】このような手順を、スライス内の全ての処理が終了するまで繰り返し（ステップS 8 1）、スライス内の全ての処理が終了したら、子プロセッサにおける全ての処理が終了するまで待つ（ステップS 8 2）。そして、1ピクチャの全ての処理が終了したら、次のピクチャの処理に移り（ステップS 8 3）、1GOPの全てのピクチャの処理が終了したら、次のGOPの処理に移る（ステップS 8 4）。そして、これらの処理を、シーケンスが終了するまで繰り返したら（ステップS 8 5）、処理を終了する（ステップS 8 6）。

【0063】次に、子プロセッサである第2および第3のプロセッサ2₋₂、2₋₃は、図9のフローチャートに示すような処理を行う。すなわち、親プロセッサにおけるステップS 7 5の処理で起動され符号化処理を開始したら（ステップS 9 0）、まず、処理すべきマクロブロックの番号を取得し（ステップS 9 1）、そのマクロブロックの符号化処理を行う（ステップS 9 2）。次に、前のマクロブロックの可変長符号化処理が終了するのを確認して（ステップS 9 3）、可変長符号化処理を行い（ステップS 9 4）、さらに、局所復号化処理を行う（ステップS 9 5）。このような手順を、スライス内の全ての処理が終了するまで繰り返し（ステップS 9 6）、スライス内の全ての処理が終了したら、子プロセッサにおける処理を終了する（ステップS 9 7）。

【0064】次に、このような処理手順で3個のプロセッサ2₋₁～2₋₃が動作して符号化処理を行う場合の、並列処理部1の動作について、図10を参照して説明する。図10は、3個のプロセッサ2₋₁～2₋₃における符号化処理の状態を示すタイムチャートである。なお、図10における各処理を示す標記は、図4に示した標記と同一であるので説明を省略する。

【0065】図示のごとく、符号化処理を開始したら、3個のプロセッサ2₋₁～2₋₃で、各々、マクロブロック0、マクロブロック1およびマクロブロック2の符号化処理MB 0-ENC、MB 1-ENC、MB 2-ENCを開始する。そして、第1のプロセッサ2₋₁においては、符号化処理MB 0-ENCが終了したら、引き続きそのマクロブロック0の可変長符号化処理MB 0-VLCを行い、さらに、マクロブロック0の局所復号化処理MB 0-DECを行う。また、マクロブロック0の局所復号化処理MB 0-DECが終了したら、次のマクロブロック、すなわち、マクロブロック3に対する処理を符号化処理MB 3-ENCから開始する。

【0066】一方、第2のプロセッサ2₋₂は、マクロブロック1の符号化処理MB 1-ENCが終了した時点で

は、まだ前のマクロブロック0の可変長符号化処理MB 0-VLCが第1のプロセッサ2₋₁で行われているので、この可変長符号化処理の終了を待ち、これが終了したらマクロブロック1の可変長符号化処理MB 1-VLCを開始する。そして、その可変長符号化処理MB 1-VLCが終了したら、そのマクロブロック1の局所復号化処理MB 1-DECを行う。また、そのマクロブロック1の局所復号化処理MB 1-DECが終了したら、次のマクロブロック4に対する符号化処理MB 4-ENCを開始する。

【0067】また、第3のプロセッサ2₋₃においても、マクロブロック2の符号化処理MB 2-ENCが終了した時点ではまだ前のマクロブロック0およびマクロブロック1の可変長符号化処理MB 0-VLCおよびMB 1-VLCが終了していないので、これらの処理の終了を待つ。そして、マクロブロック0およびマクロブロック1の可変長符号化処理が終了したら、マクロブロック2の可変長符号化処理MB 2-VLCを行う。そして、その可変長符号化処理MB 2-VLCが終了したら、そのマクロブロック2の局所復号化処理MB 2-DECを行う。また、そのマクロブロック2の局所復号化処理MB 2-DECが終了したら、次のマクロブロック5に対する符号化処理MB 5-ENCを開始する。

【0068】このようにして、各プロセッサ2₋₁～2₋₃においては、順次処理対象のマクロブロックxを選択して、そのマクロブロックxに対する符号化処理MB x-ENC、可変長符号化処理MB x-VLCおよび局所復号化処理MB x-DECを行う。このように処理を行うことで、可変長符号化処理MB x-VLCのみは、前のマクロブロックx-1に対する可変長符号化処理MB (x-1)-VLCが終了していない場合には処理の開始を待機させられるが、その他の箇所は全く並行して処理を行うことができる。

【0069】そして、その可変長符号化処理MB x-VLCにおいても、処理の開始時こそ、図10に示すように、各プロセッサ2₋₁～2₋₃で同時に符号化処理が開始されるため、可変長符号化処理の開始の要求が重なり、プロセッサ2₋₂、2₋₃に遊びが生じているが、その後は、必然的に各プロセッサにおける処理工程がずれることになり、このような遊びが生じ難くなる。図10に示す例においても、第3のプロセッサ2₋₃におけるマクロブロック5の可変長符号化処理MB 5-VLCがわずかに待たされているのみで、その他には、全く遊びが生じていない。

【0070】次に、第2の画像符号化／復号化装置において復号化処理を行う場合の、各プロセッサ2_{-i}における処理について説明する。復号化処理の場合も、前述した第1の画像符号化／復号化装置と同様に、1つの親プロセッサとその他のプロセッサを予め決定し、各々で異なる所定の処理を行わせる。しかしながら、この親プロ

セッサは、ヘッダの復号化と子プロセッサの起動を行う点のみが子プロセッサの処理と異なるものであり、実際の復号化処理に係わる可変長復号化処理および復号化処理は、親プロセッサおよび子プロセッサの両方で同様の手順により行う。すなわち、親プロセッサと子プロセッサは、一応、異なる処理手順で処理を行うものの、復号化の際の主な処理部は同一の手順で行われるものである。

【0071】以下、各プロセッサの処理について説明する。まず、親プロセッサである第1のプロセッサ2₋₁は、図11のフローチャートに示すような処理を行う。すなわち、復号化処理を開始したら（ステップS100）、シーケンス・ヘッダを復号化し（ステップS101）、GOP・ヘッダを復号化し（ステップS102）、ピクチャ・ヘッダを復号化し（ステップS103）、スライス・ヘッダを復号化する（ステップS104）。そして、スライス・ヘッダの復号化が終了したら、親プロセッサは子プロセッサを起動する（ステップS105）。

【0072】子プロセッサの起動が終了したら、親プロセッサは、子プロセッサと同様の復号化に係わる処理を行う。すなわち、まず、処理すべきマクロブロックの番号を取得し（ステップS106）、前のマクロブロックの可変長復号化処理が終了していることを確認して（ステップS107）、そのマクロブロックの可変長復号化処理を行う（ステップS108）。そして、可変長復号化処理が終了したら、そのマクロブロックの復号化処理を行う（ステップS109）。

【0073】このような手順を、スライス内の全ての処理が終了するまで繰り返し（ステップS110）、スライス内の全ての処理が終了したら、子プロセッサにおける全ての処理が終了するまで待つ（ステップS111）。そして、1ピクチャの全ての処理が終了したら、次のピクチャの処理に移り（ステップS112）、1GOPの全てのピクチャの処理が終了したら、次のGOPの処理に移る（ステップS113）。そして、これらの処理を、シーケンスが終了するまで繰り返したら（ステップS114）、処理を終了する（ステップS115）。

【0074】次に、子プロセッサである第2および第3のプロセッサ2₋₂、2₋₃は、図12のフローチャートに示すような処理を行う。すなわち、親プロセッサにおけるステップS105の処理で起動され復号化処理を開始したら（ステップS120）、まず、処理すべきマクロブロックの番号を取得し（ステップS121）、前のマクロブロックの可変長復号化処理が終了していることを確認して（ステップS122）、そのマクロブロックの可変長復号化処理を行う（ステップS123）。次に、可変長復号化処理が終了したら、そのマクロブロックの復号化処理を行う（ステップS124）。このような手

順を、スライス内の全ての処理が終了するまで繰り返し（ステップS125）、スライス内の全ての処理が終了したら、子プロセッサにおける処理を終了する（ステップS126）。

【0075】次に、このような処理手順で3個のプロセッサ2₋₁～2₋₃が動作して復号化処理を行う場合の、並列処理部1の動作について、図13を参照して説明する。図13は、3個のプロセッサ2₋₁～2₋₃における復号化処理の状態を示すタイムチャートである。なお、図13における各処理を示す標記は、図7に示した標記と同一であるので説明を省略する。

【0076】図示のごとく、復号化処理を開始したら、まず、第1のプロセッサ2₋₁で最小のマクロブロック0の可変長復号化処理MB0-VLDを行う。第2のプロセッサ2₋₂は、マクロブロック1に対する処理を行うものであるが、可変長復号化処理については、マクロブロックごとに順に行う必要があるため、第1のプロセッサ2₋₁におけるマクロブロック0の可変長復号化処理MB0-VLDが終了するのを待って、マクロブロック1の可変長復号化処理MB1-VLDを行う。第3のプロセッサ2₋₃も同様に、第1のプロセッサ2₋₁におけるマクロブロック0に対する可変長復号化処理MB0-VLD、および、第2のプロセッサ2₋₂におけるマクロブロック1に対する可変長復号化処理MB1-VLDが終了するのを待って、マクロブロック2の可変長復号化処理MB2-VLDを行う。

【0077】マクロブロック0に対する可変長符号化処理MB0-VLDが終了した第1のプロセッサ2₋₁においては、引き続きそのマクロブロック0に対する復号化処理MB0-DECを行う。そして、その復号化処理MB0-DECが終了したら、次のマクロブロック3に対する処理を開始する。しかし、この時に、図13に示すように、前のマクロブロック2に対する可変長符号化処理MB2-VLDが終了していなければ、これを待って、マクロブロック3に対する可変長復号化処理MB3-VLDを開始する。

【0078】以後、同様に、各各プロセッサ2₋₁～2₋₃においては、順次処理対象のマクロブロックxを選択して、そのマクロブロックxに対する可変長復号化処理MBx-VLDおよび復号化処理MBx-DECを行う。このように処理を行うことで、可変長復号化処理MBx-VLDは、前のマクロブロックx-1に対する可変長復号化処理MB(x-1)-VLDが終了していない場合には処理の開始を待機させられるが、その他の箇所は全く並行して処理を行うことができる。

【0079】そして、その可変長復号化処理MBx-VLDにおいても、処理の開始時こそ、図13に示すように、各プロセッサ2₋₁～2₋₃で同時に復号化処理が開始されるため、第2のプロセッサ2₋₂および第3のプロセッサ2₋₃が待機させられており、処理に遊びが生じてい

るが、その後は、必然的に各プロセッサにおける処理工程がずれることになり、このような遊びが生じ難くなる。図13に示す例においても、第1のプロセッサ2₁におけるマクロブロック3の可変長復号化処理MB3-VLDがわずかに待たされているのみで、その他には、全く遊びが生じていない。

【0080】このように、第2の画像符号化／復号化装置においては、MPEG符号化処理および復号化処理を行う際に、並列処理可能な符号化処理部分、局所復号化処理部分および復号化処理部分のみならず、逐次処理する必要がある可変長符号化処理部分および可変長復号化処理部分も、各プロセッサにおいて分散処理するようにしている。したがって、この逐次処理部分の負荷をも、各プロセッサに均等に分散することができ、図10および図13に示したように、第1の画像符号化／復号化装置と比較してプロセッサの遊び時間を大幅に少なくすることができる。そして、その結果、全体の符号化および復号化の処理速度を大幅に向上させることができる。なお、これはプロセッサ台数が2台の並列計算機システムでは、さらに顕著になる。

【0081】また、第2の画像符号化／復号化装置の並列処理部1においては、複数のプロセッサ2₁～2_nの各々において、振り分けられた処理対象のマクロブロックについての一連の符号化処理、一連の復号化処理を一貫して行っている。そのため、各プロセッサ間の同期をとったり、データ通信などの負荷を少なくすることができる。また、その結果、処理時間の全てを符号化および復号化処理にあてることができる。結果的に、各プロセッサにおける負荷も実質的に均等になり、効率よく、また高速に符号化処理および復号化処理が行える。また、全てのプロセッサを、実質的に同一の制御、処理手順で動作させることができるので、装置構成が簡単になる。さらに本発明は、プロセッサ台数に依存しないスケラブルな並列処理方式のため、様々な構成の並列計算機システムに適用できる。

【0082】なお、本発明は、本実施の形態にのみ限られるものではなく、任意好適な種々の改変が可能である。たとえば、前述した実施の形態の並列処理部において、親プロセッサは必ず1台であるが、子プロセッサの台数に制約はなく、何台でもよい。また、子プロセッサが取得するマクロブロック番号は、オペレーティング・システムが動的に決定する場合もあれば、コンパイラやハードウェアによって、静的に一意に決まっている場合もあり、任意の方法により決定してよい。

【0083】また、各プロセッサで実行されるプログラムは、ROMに予め記憶して画像符号化／復号化装置の並列処理部に具備されるような構成でもよいし、ハードディスク、CD-ROMなどの記憶媒体上に格納しておき、実行時にプログラムRAMなどに読み込んで参照されるような構成でもよい。

【0084】また、本実施の形態においては、本発明に係わる処理装置として、図1に示したように、共有メモリ型の並列計算機システムを例示したが、装置構成はこれに限られるものではない。共有メモリを有しておらず、いわゆるメッセージ通信によりデータの転送などを行うメッセージ通信型並列計算機システムであってもよい。また、本実施の形態のような、各プロセッサが緊密に連結された並列計算機システムでなくとも、各々が独立した計算機装置であり、それらが任意の通信手段により接続されて協働して所望の処理を行うように構成されたようなシステムであってもよい。すなわち、計算機装置の実際の構成は、任意に決定してよい。

【0085】また、前述した画像符号化／復号化装置の並列処理部は、プログラムに従って所定の動作を行うプロセッサを複数有し、それらが並列に動作して所望の処理を行うような構成であったが、専用のハードウェアにより構成され並列に動作する複数の処理部を有するような構成であってもよい。たとえば、MPEGの符号化／復号化専用回路、画像コーデック用DSP、メディアプロセッサなどの、可変長符号化／復号化処理のための専用回路などにも適用可能である。

【0086】また、本実施の形態においては、符号化および復号化の際に行う変換方式としてDCTを用いた。しかし、この変換方式は任意の直交変換方式を用いてよい。たとえば、高速フーリエ変換(FFT)や離散フーリエ変換(DFT)などのフーリエ変換、アダマール変換、K-L変換などの、任意の変換を用いてよい。また、本発明は、本実施の形態において例示した動画の符号化処理および復号化処理についてのみ適用可能なものではない。たとえば、音声データやテキストデータの符号化および復号化など、任意のデータの符号化および復号化に適用可能である。

【0087】

【発明の効果】以上説明したように、本発明の符号化装置および復号化装置によれば、たとえば画像データなどの符号化および復号化を行う際に、複数の演算処理装置の各々に均等かつ効率よく負荷を配分することができ、また、演算処理装置間における同期をとるための通信やデータ通信を少なくすることができる。その結果、そのような符号化および復号化を高速に行うことができ、また、制御方法や装置構成などを簡単にすることができる。

【0088】また、本発明の符号化方法および復号化方法によれば、たとえば画像データなどの符号化および復号化を複数の演算処理装置を用いた並列処理により行う際に、各演算処理装置に均等かつ効率よく負荷を配分することができる。また、各演算処理装置間で同期をとるための通信やデータ通信を少なくすることができる。その結果、簡単な制御で、そのような符号化および復号化を高速に行うことができる。また、本発明の符号化方法

および復号化方法は、その負荷の配分の方法が演算処理装置の個数などその並列処理装置の構成に依存しない、スケーラブルな方法のため、様々な構成の並列処理装置に適用することができる。

【図面の簡単な説明】

【図1】図1は、本発明に係わる画像符号化／復号化装置の並列処理部の構成を示す概略ブロック図である。

【図2】図2は、図1に示した並列処理部の親プロセッサ（第1のプロセッサ）において、これまでの並列処理方法により画像の符号化を行う場合の処理を示すフローチャートである。

【図3】図3は、図1に示した並列処理部の子プロセッサ（第2～第nのプロセッサ）において、これまでの並列処理方法により画像の符号化を行う場合の処理を示すフローチャートである。

【図4】図4は、図1に示した並列処理部において、これまでの並列処理方法により画像の符号化を行う場合の、各プロセッサにおける処理の状態を示すタイムチャートである。

【図5】図5は、図1に示した並列処理部の親プロセッサ（第1のプロセッサ）において、これまでの並列処理方法により画像の復号化を行う場合の処理を示すフローチャートである。

【図6】図6は、図1に示した並列処理部の子プロセッサ（第2～第nのプロセッサ）において、これまでの並列処理方法により画像の復号化を行う場合の処理を示すフローチャートである。

【図7】図7は、図1に示した並列処理部において、これまでの並列処理方法により画像の復号化を行う場合の、各プロセッサにおける処理の状態を示すタイムチャートである。

【図8】図8は、図1に示した並列処理部の親プロセッサ（第1のプロセッサ）において、本発明に係わる並列処理方法により画像の符号化を行う場合の処理を示すフローチャートである。

【図9】図9は、図1に示した並列処理部の子プロセッサ（第2～第nのプロセッサ）において、本発明に係わる並列処理方法により画像の符号化を行う場合の処理を示すフローチャートである。

【図10】図10は、図1に示した並列処理部において、本発明に係わる並列処理方法により画像の符号化を行う場合の、各プロセッサにおける処理の状態を示すタイムチャートである。

【図11】図11は、図1に示した並列処理部の親プロセッサ（第1のプロセッサ）において、本発明に係わる並列処理方法により画像の復号化を行う場合の処理を示すフローチャートである。

【図12】図12は、図1に示した並列処理部の子プロセッサ（第2～第nのプロセッサ）において、本発明に係わる並列処理方法により画像の復号化を行う場合の処理を示すフローチャートである。

【図13】図13は、図1に示した並列処理部において、本発明に係わる並列処理方法により画像の復号化を行う場合の、各プロセッサにおける処理の状態を示すタイムチャートである。

【図14】図14は、MPEG符号化における画像データの構造を示す図である。

【図15】図15は、MPEG符号化された画像データビットストリームの構造を示す図である。

【図16】図16は、MPEG符号化を行うための処理装置の構成を示すブロック図である。

【図17】図17は、MPEG符号化を行って図15に示したようなビットストリームを生成する処理の流れを示すフローチャートである。

【図18】図18は、逐次処理によりMPEG符号化を行う場合の処理装置の動作を示すタイムチャートである。

【図19】図19は、MPEG復号化を行うための処理装置の構成を示すブロック図である。

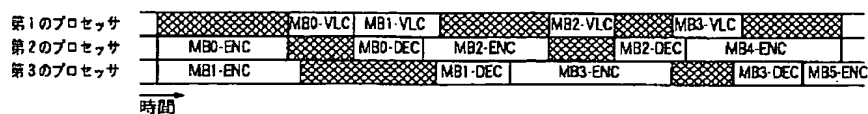
【図20】図20は、MPEG復号化を行って図15に示したようなビットストリームを生成する処理の流れを示すフローチャートである。

【図21】図21は、逐次処理によりMPEG復号化を行う場合の処理装置の動作を示すタイムチャートである。

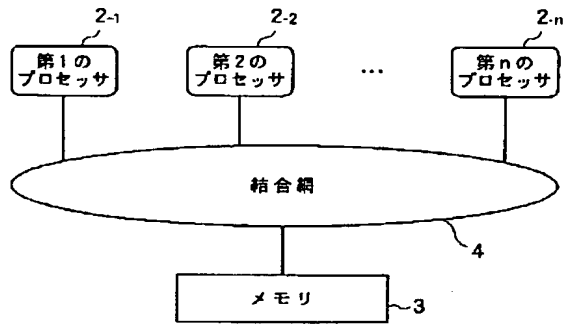
【符号の説明】

1、9…画像符号化／復号化装置の並列処理部、2…プロセッサ、3…メモリ、4…結合網、160…符号化装置、161…動きベクトル検出部、162…減算器、163…離散コサイン変換部、164…量子化部、165…可変長符号化部、166…逆量子化部、167…逆離散コサイン変換部、168…加算器、169…動き補償部、170…エンコード制御部、200…復号化装置、201…可変長復号化部、202…逆量子化部、203…逆離散コサイン変換部、204…加算器、205…動き補償部、206…デコード制御部

【図4】

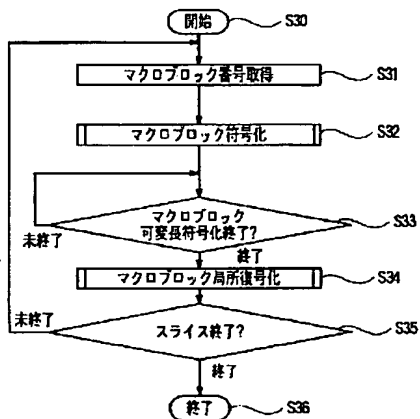


【図1】

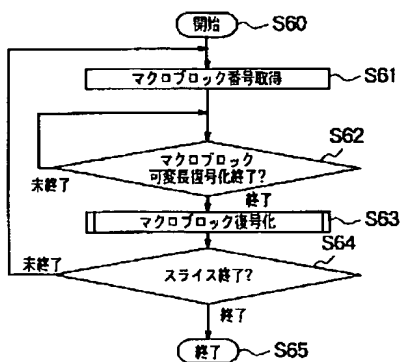


1. 9

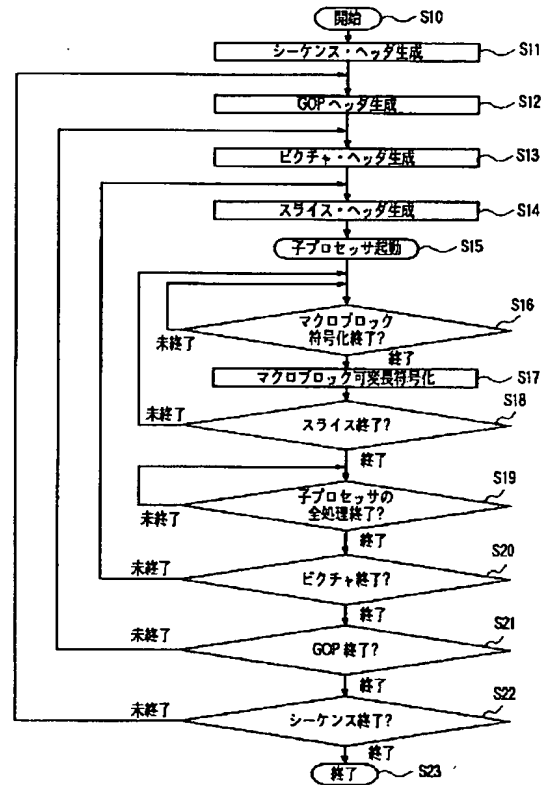
【図3】



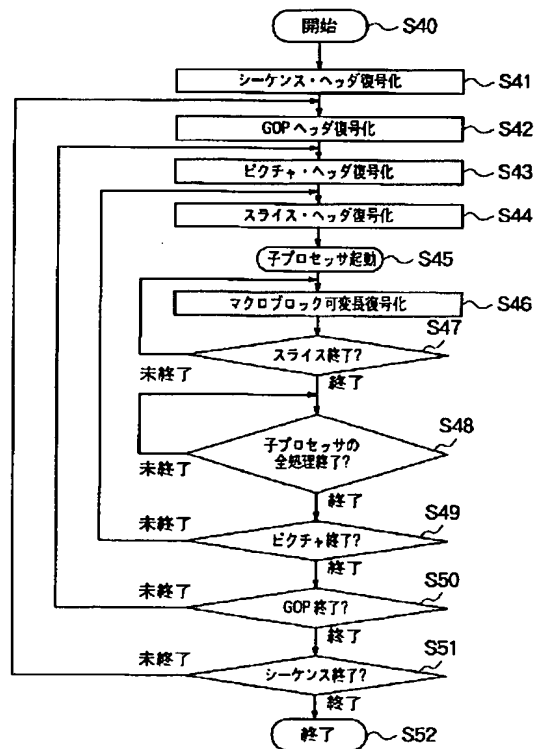
【図6】



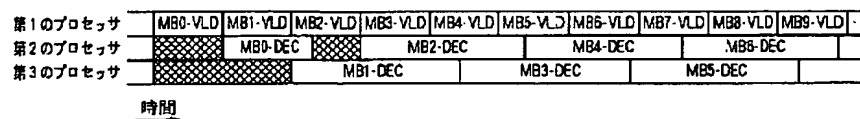
【図2】



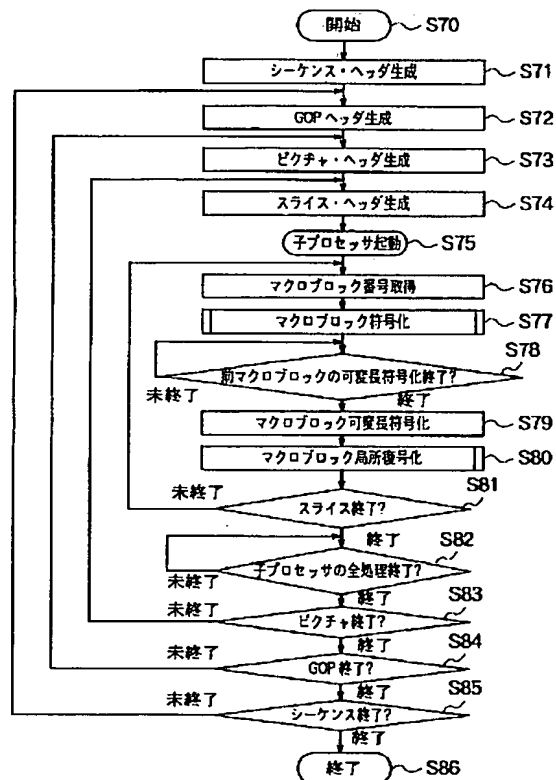
【図5】



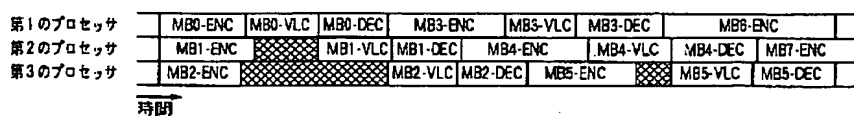
【図7】



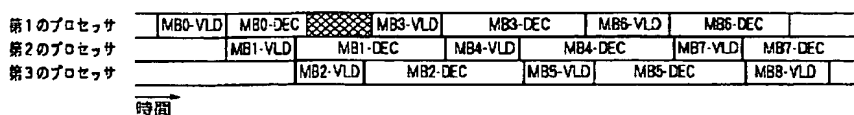
【図8】



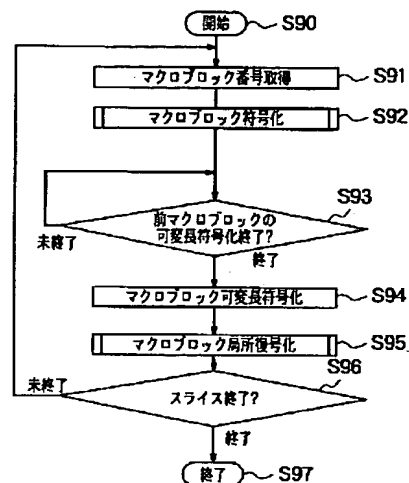
【図10】



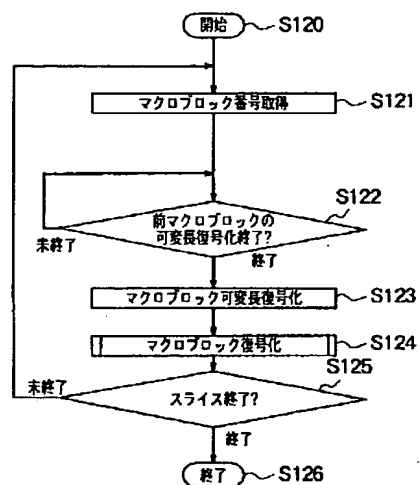
【図13】



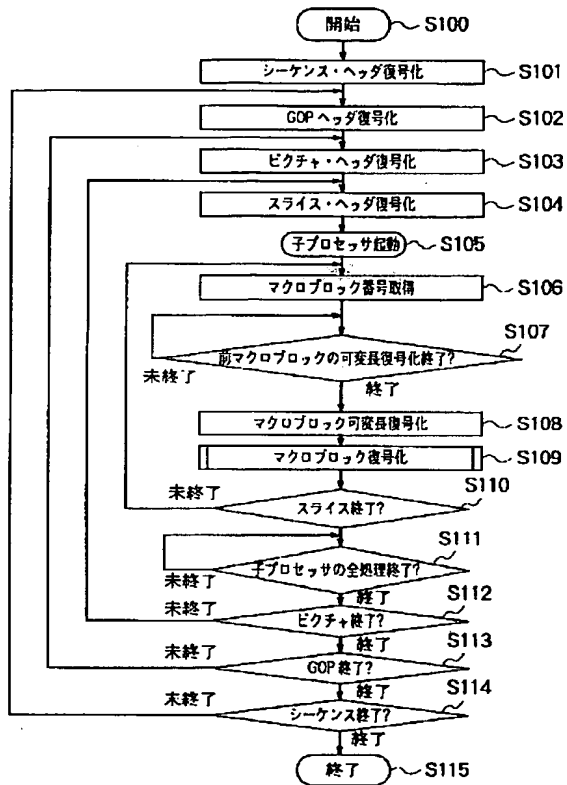
【図9】



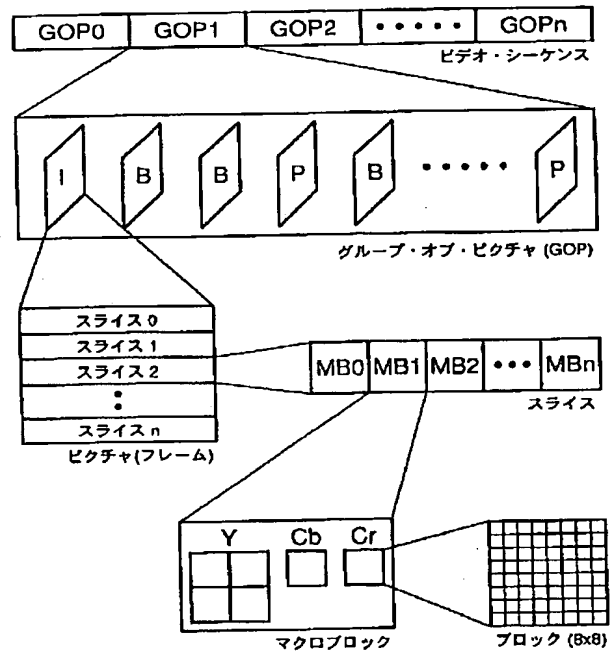
【図12】



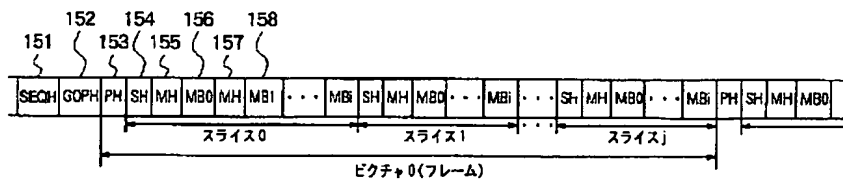
【図11】



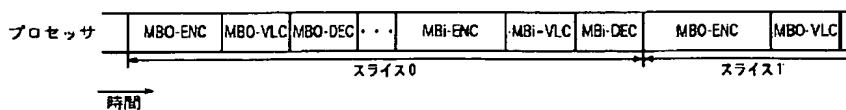
【図14】



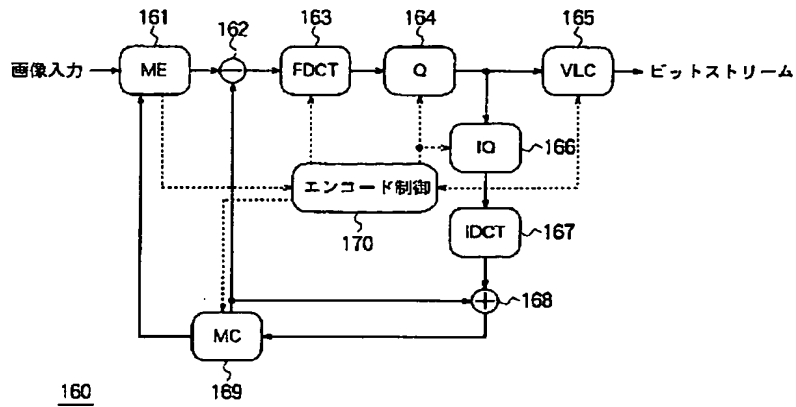
【図15】



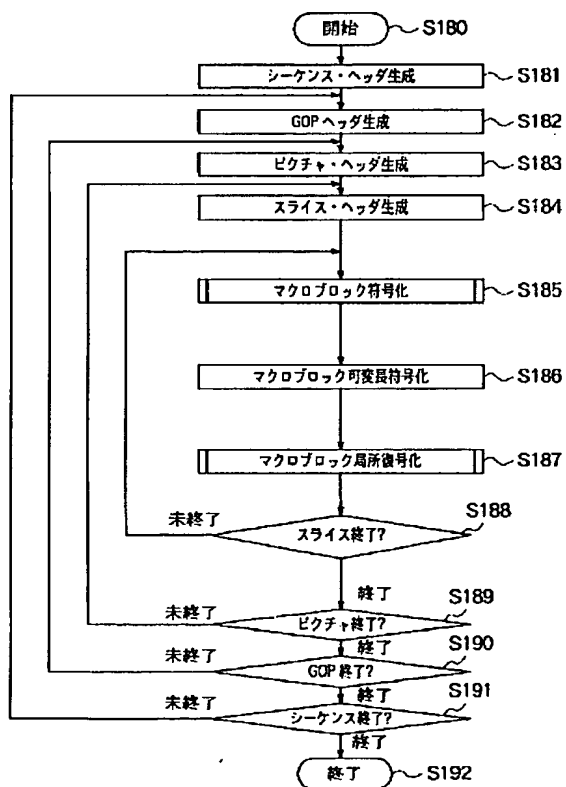
【図18】



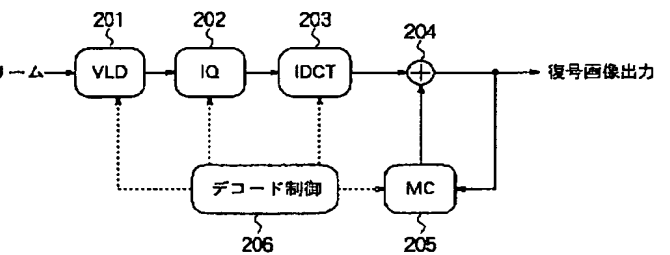
【図16】



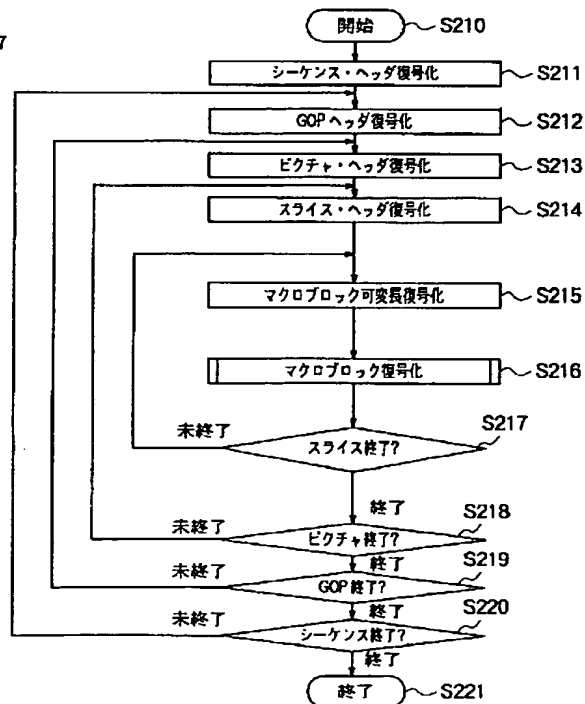
【図17】



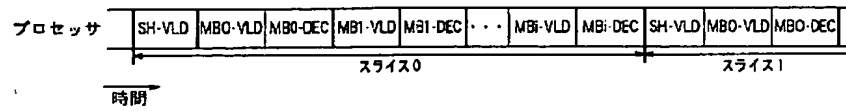
【図19】



【図20】



【図 2 1】



フロントページの続き

F ターム (参考) 5B057 CA12 CA16 CB12 CB16 CB19
 CC02 CG02 CG03 CG05 CH04
 CH08
 5C059 KK13 MA00 MA05 MA21 MA22
 MA23 MC11 ME01 NN01 PP05
 PP06 PP07 PP16 SS26 UA02
 UA05 UA33 UA34 UA38
 5C078 BA35 BA54 BA57 BA59 CA31
 DA01 DA02
 5J064 AA03 BA09 BA13 BA15 BA16
 BC01 BC02 BC08 BC16 BC29
 BD01